



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenl gungsschrift**
⑩ **DE 101 07 081 A 1**

⑤① Int. Cl.7:
H 01 L 21/66
H 01 L 21/60
H 01 L 21/283

⑳ Aktenzeichen: 101 07 081.0
㉔ Anmeldetag: 13. 2. 2001
㉕ Offenlegungstag: 13. 9. 2001

DE 101 07 081 A 1

③① Unionspriorität:
504409 15. 02. 2000 US
⑦① Anmelder:
Infineon Technologies North America Corp., San
Jose, Calif., US; Infineon Technologies Richmond
LLP, Sandston, Va., US
⑦④ Vertreter:
Patentanwälte Westphal, Mussnug & Partner,
78048 Villingen-Schwenningen

⑦② Erfinder:
Zimmermann, Gunnar, 82041 Oberhaching, DE;
Johnston, Mark, Glen Allen, Va., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zum Prüfen von Halbleiteranordnungen für die aktive Messung von elektrischen Eigenschaften

⑤⑦ Ein Verfahren zum Prüfen einer Halbleiterkomponente für einen aktiven Einzelanordnungstest umfaßt erfindungsgemäß das Bereitstellen einer zu prüfenden Halbleiteranordnung (100) und das Zugreifen auf wenigstens eine Komponente (161) der Halbleiteranordnung durch gleichzeitiges Bohren eines Lochs (125) und Einbringen eines Pfropfens (124) in das Loch, um die Verbindung mit der wenigstens einen Komponente herzustellen. Ein Schaltkreis wird durch den Pfropfen hergestellt, um elektrische Messungen der Halbleiteranordnung durchzuführen.

DE 101 07 081 A 1

Beschreibung

HINTERGRUND

1. Technisches Gebiet

Diese Beschreibung bezieht sich auf Halbleiterprüfung und insbesondere auf ein Verfahren zum Messen elektrischer Eigenschaften einer einzelnen aktiven Anordnung auf einem Halbleiterchip.

2. Beschreibung des Standes der Technik

Halbleiteranordnungen werden hergestellt und geprüft, indem Mustergeneratoren und -tester verwendet werden. Auch visuelle Inspektionen von Wafern werden angewendet, um Fehler oder andere Abnormalitäten des Wafers festzustellen. In einigen Fällen wird das Prüfen so ausgedehnt, dass Fehlerarten bestimmt werden, die bei einer Vielzahl von Wafern oder auf einem einzelnen Chip angetroffen werden. Diese Fehlerarten bestimmen, warum oder wie ein Ausfall aufgetreten ist. In diesen Fällen ist es zweckmäßig, sich im Einzelnen auf die Mechanismen zu konzentrieren, welche Fehler verursachten, oder auf die Komponenten, die ausgefallen sind.

In Halbleiterspeicheranordnungen sind die Eigenschaften von Übertragungsgattern (Transistoren) in einer elektrischen Schaltung unter den Hauptparametern, welche die Funktion und Leistungsfähigkeit von Halbleiteranordnungen definieren. Gewöhnlich erlaubt die Bauweise von elektrischen Schaltungen nicht eine Einzeluntersuchung einer Source und Drain eines Transistors ohne vorherige Abänderung der Anordnung. Dies gilt insbesondere im Fall einer dichten Matrix von Speicherzellen in Tiefgraben (deep trench bzw. DT)-Technologie. Wichtige Information über die Eigenschaften dieser Zellen beruht hauptsächlich auf der Durchführung speziell ausgebildeter Kerb-(Test)-Strukturen (z. B. einer eingebetteten Nominalanordnung). Diese Teststrukturen geben jedoch keine Information über bestimmte Anordnungen selbst. Es wäre zweckmäßig, wenn man in der Lage wäre, eine einzelne Speicherzelle in einer Matrix von Zellen zu prüfen, um ein besseres Verständnis der Leckmechanismen und Zellenleistungsfähigkeit in einer aktuellen Anordnung zu erzielen.

Daher besteht ein Bedürfnis nach einem Verfahren zum Prüfen einzelner Anordnungen auf einer Halbleiteranordnung.

ZUSAMMENFASSENDE DARSTELLUNG DER ERFINDUNG

Ein Verfahren zum Prüfen einer Halbleiterkomponente für einen aktiven Einzelanordnungs-Test umfaßt gemäß der Erfindung das Bereitstellen einer zu prüfenden Halbleiteranordnung und das Zugreifen zu wenigstens einer Komponente der Halbleiteranordnung durch gleichzeitiges Bohren eines Loches und durch Aufbringen oder Einbringen eines Pflöpfens in das Loch, um die wenigstens eine Komponente anzuschließen. Ein Schaltkreis wird hergestellt durch den Pflöpfen, um elektrische Messungen der Halbleiteranordnung durchzuführen.

Ein Verfahren zur Prüfung einer Halbleiterkomponente während der destruktiven Prüfung einer aktiven Einzelanordnung umfaßt die Schritte des Bereitstellens einer zu prüfenden Halbleiteranordnung und des Zugreifens zu wenigstens einer Komponente der Halbleiteranordnung durch Bohren eines Loches in eine dielektrische Schicht über der Komponente, während gleichzeitig ein Pflöpfen in das Loch

eingbracht wird, um die wenigstens eine Komponente mit dem Pflöpfen elektrisch zu verbinden. Ein Schaltkreis wird durch den Pflöpfen hergestellt, um elektrische Messungen der Halbleiteranordnung durchzuführen und Sondenkissen werden auf anderen Komponenten aufgebracht, um die elektrischen Wege zur Messung elektrischer Eigenschaften der Halbleiteranordnung zu vervollständigen.

Ein weiteres Verfahren zum Prüfen einer einzigen aktiven Speicherzelle während des destruktiven Prüfens umfaßt die Schritte: Bereitstellen einer Halbleiteranordnung mit einer zu prüfenden Speicherzelle, Zugreifen zu einem Speicherknoten der Speicherzelle durch Anwenden eines Ionenbündels, um gleichzeitig ein Loch zu bohren und einen Pflöpfen in das Loch durch eine dielektrische Schicht einzubringen, wobei der Pflöpfen in Ausrichtung mit dem Speicherknoten gebildet wird, um den Speicherknoten anzuschließen und Herstellen eines Schaltkreises durch den Pflöpfen, um elektrische Messungen der Halbleiteranordnung durch Verwenden des Pflöpfens zum Kurzschließen einer Wortleitung (wordline) mit dem Speicherknoten durchzuführen.

Bei anderen Verfahren kann der Schritt des Zugreifens die Schritte umfassen: Ausbilden des Lochs durch eine dielektrische Schicht, welche die wenigstens eine Komponente abdeckt, durch Anwenden eines ersten Ausschnitts eines Ionenbündels und Einbringen von Platin in das Loch, um gleichzeitig das Loch in die wenigstens eine Komponente zu erstrecken und das Loch mit Platin zu füllen, indem ein zweiter Ausschnitt des Ionenbündels verwendet wird. Das Loch kann kleiner sein oder gleich etwa 0,4 µm im Durchmesser. Der Schritt des Herstellens eines Schaltkreises durch den Pflöpfen zur Durchführung elektrischer Messungen der Halbleiteranordnung kann den Schritt des Anwendens des Pflöpfens zum Anschließen der wenigstens einen Komponente an eine leitende Leitung umfassen, die in einem Aufbau der Halbleiteranordnung existiert. Der Schritt des Messens elektrischer Eigenschaften durch den Pflöpfen hindurch durch Prüfen der leitenden Leitung kann eingeschlossen werden. Der Schritt des Bereitstellens einer zu prüfenden Halbleiteranordnung kann den Schritt umfassen, dass eine zu prüfende Tiefgraben-Kondensatorspeicherzelle vorgesehen wird. Der Schritt des Zugreifens auf wenigstens eine Komponente kann den Schritt des Zugreifens auf einen Speicherknoten des Tiefgraben-Kondensators umfassen. Das Verfahren kann ferner den Schritt des Messens elektrischer Eigenschaften durch den Pflöpfen hindurch umfassen, indem ein mit der Wortleitung verbundener Kontakt geprüft wird. Das Verfahren kann den Schritt der schichtenweisen Abtragung der Halbleiteranordnung umfassen, um die dielektrische Schicht freizulegen.

Diese und andere Ziele, Merkmale und Vorteile der Erfindung werden aus der folgenden Einzelbeschreibung erläuternder Ausführungsformen derselben klar, die in Verbindung mit den begleitenden Figuren zu lesen ist.

KURZE BESCHREIBUNG DER FIGUREN

Diese Beschreibung bietet im Einzelnen die nachfolgende Beschreibung bevorzugter Ausführungsformen mit Bezugnahme auf die folgenden Figuren. Es zeigt:

Fig. 1 einen Querschnitt einer Speicherzelle, die gemäß der Erfindung schichtenweise abgetragen ist;

Fig. 2 einen Querschnitt der in Fig. 1 gezeigten Speicherzelle mit einem Loch, das in einen Gatterstapel gemäß der Erfindung eingeformt ist;

Fig. 3 einen Querschnitt der Speicherzelle der Fig. 2 mit einem Pflöpfen, der in das Loch gebohrt und eingebracht ist, um eine durchleitende Wortleitung mit einem Speicherknoten gemäß der Erfindung zu verbinden;

Fig. 4 eine Draufsicht auf eine schichtenweise freigelegte Speicherzelle der Fig. 3, wobei Sondenkissen zum Anschließen verschiedener Komponenten der Speicherzelle gemäß der Erfindung dargestellt sind;

Fig. 5 einen Querschnitt parallel zu einer durchleitenden Wortleitung, wobei ein die durchleitende Wortleitung mit einem Speicherknoten gemäß der Erfindung verbindender Pfropfen dargestellt ist; und

Fig. 6 einen Querschnitt senkrecht zu einer durchleitenden Wortleitung und einer aktiven Wortleitung, wobei der den Speicherknoten gemäß der Erfindung verbindende Pfropfen dargestellt ist.

AUSFÜHRLICHE BESCHREIBUNG BEVORZUGTER AUSFÜHRUNGSFORMEN

Die Erfindung bezieht sich auf Verfahren zum Messen elektrischer Eigenschaften von einzelnen Bestandteilen von Halbleiteranordnungen. Die Erfindung schafft Verfahren zum elektrischen Anschließen, welche ein Prüfen einzelner Anordnungs-komponenten, wie z. B. Übertragungsgatter (Transistoren), Kondensatoren oder elektrischer/elektronischer Komponenten, ermöglichen, die in einer Halbleiteranordnung verwendet werden.

Erfindungsgemäße Verfahren können Teile von Anordnungen für elektrische Picosonden-Prüfung (picoprobe-testing) zugänglich machen, nachdem obere Metallschichten entfernt wurden, um die Anordnungen elektrisch zu isolieren. Nachfolgendes Aufbringen von Sondenkissen kann angewendet werden, um Sondenzugang zu wichtigen Kontakten auszudehnen. Bei einem Beispiel gibt die Anwendung dieser Verfahren auf Dynamic random access memory (DRAM)-Zellen in Tiefgraben(DT)-Technologie Zugang zu Bitline (BL)- und Wordline (WL)-Kontakten sowie p-well (PW)- und n-well (eingebettete Platte (BP))-Kontakten nach dem Entfernen aller Metallschichten einschließlich der BL.

Bei bekannten Verfahren ist ein direkter Zugang von der Oberfläche einer Probe zu einem Tiefgraben-Kondensator nicht möglich, da ein Kontakt (buried strap (BS)) in Silizium eingebettet ist. Dies macht die Untersuchung von knotenseitigen (d. h. Transistor-zugangsseitigen) Leckmechanismen, wie das Lecken durch Knotendielektrikum (d. h. dielektrisches Auskleiden der Oberfläche eines in einem Tiefgraben angeordneten Speicherknotens), Gatter-indiziertes Drain-Lecken (gate induced drain leakage bzw. GIDL) oder Diodenlecken des eingebetteten Streifens (buried strap bzw. BS) zu einer p-well-Diode, extrem schwierig, wenn nicht unmöglich. Es verhindert auch eine direkte Messung der Übertragungscharakteristiken des Gatters.

Die Erfindung schafft ein Verfahren zum Zugriff auf Komponenten, wie beispielsweise eine DT einer einzelnen DRAM-Zelle, um diese Schwierigkeiten zu überwinden. Ein Halbleiterwafer oder -chip wird in einem fokussierten Ionenbündel (FIB) oder gleichwertigem Werkzeug vorgesehen. Zu prüfende Komponenten des Wafers oder Chips werden Schichtentfernungsverfahren unterworfen, bis interessierende Anordnungen (z. B. einzelne Speicherzellen) voneinander elektrisch isoliert sind. Komponenten einer zu prüfenden Anordnung werden nun freigelegt. Ein nadelförmiger Kontakt (Pfropfen bzw. plug) mit ausreichend kleinen Abmessungen wird zweckmäßigerweise durch dielektrisches Material, beispielsweise Siliziumoxid, gebohrt, um einen Kontakt mit einem leitenden Material herzustellen. Die Erfindung schafft vorteilhafterweise ein gleichzeitiges Bohr- und Füllverfahren, welches ein Bohrloch und einen elektrischen Anschluß (den Plug) gleichzeitig ergibt. Bei einer beispielhaften Ausführungsform wird eine Tiefgrabenstruktur angewendet. Der elektrische Anschluß (der Plug)

wird durch eine durchgehende Wordline WL in einen Ziel-speicherknoten geführt, der in einer DT angeordnet ist. Ein leitendes Material, wie Platin (Pt), wird als Plug aufgebracht, indem besonders geeignete Pt-Aufbringbedingungen angewendet werden.

Nach dem Aufbringen wird der DT mit der durchgehenden WL kurzgeschlossen. Der Pt-Plug muß von der Probenoberfläche (z. B. wo der gebohrte Plug in das Dielektrikum eintritt) isoliert werden, indem eine dünne Schicht von TEOS mit hohem Widerstand oder dergl. aufgebracht wird, indem z. B. Elektronenstrahl-gestützte Oxidaufbringung angewendet wird.

BL, aktive WL, PW und NW werden durch Aufbringen von Sondenkissen auf geeignete Kontakte kontaktiert (z. B. auf vorher existierende Kontakte, die durch das Entfernen von Schichten freiliegen). Der DT kann durch Aufbringen eines Sondenkisses auf einen WL-stitch-Kontakt oder ähnlichen Kontakt (z. B. einen vorher existierenden Kontakt, der einen elektrischen Anschluß zur durchgehenden Wordline herstellt) einer durchgehenden WL angeschlossen werden, und kann in einem PicosondenSystem unter verschiedenen elektrischen Bedingungen analysiert werden.

Das Verfahren arbeitet zuverlässig bei verschiedenen Technologien (z. B. Technologien mit unter 0,25 µm oder größeren Technologien) und ergibt vorteilhafterweise einen direkten Zugang zum Studieren der elektrischen Eigenschaften der Kondensatorseite einzelner Speicherzellen.

Im Folgenden wird ausführlich auf die Zeichnungen Bezug genommen, in welchen gleiche Bezugszeichen gleichartige oder identische Teile in allen Figuren bezeichnen, und zwar anfänglich auf Fig. 1, in der ein Querschnitt einer Tiefgraben-Kondensatorspeicherzelle 100 beispielhaft dargestellt ist, um eine Ausführungsform der Erfindung zu zeigen. Die vorliegende Erfindung kann jedoch an logischen Anordnungen, Speicheranordnungen oder irgendwelchen anderen Halbleiteranordnungen verwirklicht werden. Der Tiefgraben-Kondensator 101 enthält einen Speicherknoten 161, der in einem Tiefgraben 163 gebildet ist. Ein Knotendielektrikum 164 kleidet den Graben 163 aus und wirkt als Kondensator-Dielektrikum zwischen dem Speicherknoten 161 und der eingebetteten Platte (buried plate) 165. Die eingebettete Platte 165 enthält einen dotierten Bereich, der einen unteren Bereich des Grabens 163 umgibt. Eine eingebettete n-Well 170 und eine eingebettete p-Well 151 werden durch geeignetes Dotieren eines Substrats 103 vorgesehen. Die p-Well 151 ist durch eine dielektrische Manschette 168 gegen den Speicherknoten 161 elektrisch isoliert. Zugang zum Speicherknoten wird über einen eingebetteten Streifen 162 erzielt, der einen Auswärtsdiffusionsbereich 125 umfaßt, welcher eine Verbindung mit einem Drainbereich 114 eines Zugriffstransistors 117 bildet. Der Zugriffstransistor 117 enthält einen Sourcebereich 113. Sourcebereich und Drainbereich 113 können vertauscht werden.

Eine aktive Wordline 112 wirkt als ein Gatter, um ein elektrisches Feld zu schaffen, wodurch eine Leitung zwischen Source 113 und Drain 114 ermöglicht wird. Eine durchleitende Wordline 120 läuft über den Tiefgraben 163 und ist gegen den Speicherknoten 161 durch einen flachen Grabenisolierbereich 180 isoliert. Ein Kontakt 183 verläuft durch eine dielektrische Schicht 189, um die Source 113 mit einer Bitline 185 zu verbinden (gezeigt in gestrichelter Linie, da die Bitline zur Schichtentfernung gemäß der Erfindung beseitigt werden kann).

Die Erfindung kann unter Verwendung von einem oder mehreren Prüfwerkzeugen angewendet werden. Bei einer bevorzugten Ausführungsform wird eine XL830-Zweibündelkammer, die im Handel von der FEI Company erhältlich ist, zur Durchführung der Erfindung verwendet. Das ange-

wendete Werkzeug ist vorzugsweise mit einer Ionen- und einer Elektronenkanone ausgestattet, die auf den gleichen Punkt fokussiert sind, sowie mit Gasinjektoren für Gasinjektion, um beispielsweise eine TEOS-, Platin-Cyclopentadienyl(Pt)- und/oder Jodgasinjektion zu erreichen. Bei dem beschriebenen Werkzeug ist die TEOS-Nadel mit dem Elektronenbündel ausgerichtet, alle anderen Injektoren sind mit dem Ionenbündel ausgerichtet. Es wird bemerkt, dass die Erfindung an Hand von Stoffen und Verfahren beschrieben wird, die speziell für ein fokussiertes Ionenbündelwerkzeug und/oder ein Elektronenbündelwerkzeug geeignet sind. Es können jedoch auch andere Werkzeuge und Stoffe zur Durchführung der Erfindung angewendet werden.

Für die dargestellte Ausführungsform, die einen Tiefgraben-Kondensatoraufbau zeigt, wird die Anordnung 100 bis herunter zu einer MO-Schicht abgetragen. Dies kann unter Durchführung eines Ätzprozesses erfolgen, der Metallleitungen und dielektrische Schichten gleichermaßen abträgt. Beispielsweise kann eine 7:1 abgepufferte Oxidätzung (BOE) und eine H₂O₂-Auswaschung angewendet werden, um die MO-Leitungen zu beseitigen, wobei elektrisch isolierte Einzelzellen im Matrixbereich zurückbleiben. Dies umfaßt die Entfernung der Bitline 185.

Wie aus den Fig. 2 und 3 ersichtlich, wird zum Anschließen eines Speicherknotens 161 im DT 163 ein kleiner nadel-förmiger Pfropfen oder Plug 124 aufgebracht, um die WL 120 zu durchdringen. Der Pfropfen 124 enthält ein hochleitendes Material, wie Pt, obwohl auch andere Stoffe angewendet werden können. Der Pfropfen 124 wird auf die Mitte des Speicherknotens 161 ausgerichtet, um einen Kurzschluß zum Knotendielektrikum, dem benachbarten Wordline-Kontakten 112 oder Bitline-Kontakten 183 zu vermeiden (die auch zwischen der aktiven Wordline 112 und der durchleitenden Wordline 120 gebildet werden können). Der Pfropfen 124 muß im Speicherknoten 161 kurz nach dem Durchgang durch das STI-Oxid 180 aufhören.

Um den nadelartigen Pfropfen 124 zu verwirklichen, wurde von den Erfindern ein Verfahren entwickelt. Fig. 2 zeigt ein kleines Loch 126, das wahlweise durch ein Bohrverfahren (z. B. mit einem Durchmesser des Lochs von etwa 0,15 µm bis etwa 0,4 µm) gebildet werden kann. Das Loch 126 kann in die dielektrische Schicht 189 (vorzugsweise Siliziumoxid) und durch Teile eines Gatterstapels 121 der durchleitenden WL 120 gebohrt werden, die direkt auf der Oberseite des DT 163 angeordnet ist. Dieser Bereich bildet später den breiteren Oberteil des Pfropfens 124, wo die Toleranzen etwas freier sind.

Gemäß einer bevorzugten Ausführungsform der Erfindung wird gleichzeitig mit der Ausbildung (Aufbringung) des Pfropfens 124 ein Loch 125 geformt. Um durch die durchleitende WL 120 und das STI-Oxid 180 in den DT 163 zu bohren, wird vorzugsweise ein von den Erfindern aufgedeckter Spezialeffekt angewendet. Wenn Pt in sehr kleinen Bereichen aufgebracht wird (z. B. mit einem Durchmesser um 0,14 µm), scheint es, dass während der ersten Sekunden ein kombinierter Bohr- und Aufbringprozess stattfindet, der hauptsächlich von der Bündeldichte abhängt. Der Pfropfen 124 wird aufgebracht, indem ein fokussiertes Ionenbündel angewendet wird, das Pt enthält. Durch Einstellen des Bündelstromes und des bestrahlten Bereichs sind die Erfinder in der Lage, durch Schichten in den Speicherknoten 161 des DT 163 zu bohren, indem automatisch ein nadelartiges Loch gebildet wird, das gleichzeitig (oder im Folgenden) mit Pt gefüllt wird.

Das Bohr-/Aufbring-Verfahren gemäß der Erfindung wird durch ein Ionenbündel erreicht. Das Ionenbündel hat eine Stromdichteverteilung, z. B. eine Guassian-Verteilung, obwohl auch andere Verteilungen ins Auge gefasst werden.

Durch Einstellen der Stromdichte des Bündels ergeben Ausschnitte der Verteilung eine Bohrwirkung (Ausschnitte des Bündels oberhalb eines Stromdichte-Schwellenwertes), während andere Ausschnitte des Bündels (mit einer Stromdichte unterhalb eines Schwellenwertes) für die Aufbringung sorgen. Bei einem Beispiel kann ein Schwellenwert eine Stromdichte von etwa 2 a. u. betreffen. In kleinen Bereichen, beispielsweise Bereichen um 0,1 bis etwa 0,25 Quadrat-Mikrometer, ergibt das Bohren und Aufbringen die Ausbildung des Pfropfens 124. Bei einer Ausführungsform kann der Pfropfen 124 eine Tiefe von 1 µm oder darüber in beispielsweise einen eingebetteten Streifen oder Speicherknoten eines Tiefgrabens erreichen. Der Pfropfen 124 kann auch einen Durchmesser von weniger als 180 nm aufweisen. Durch Anwenden eines Ionenbündels, das ein Metall, wie Pt, enthält, wird ein leitender Pfropfen 124 in ein gleichzeitig gebildetes Loch 125 eingebracht.

Dieser Bohr-/Aufbringvorgang ergibt auch eine Kurzschließung des Speicherknotens 161 zur durchleitenden WL 120, wo das Signal leicht durch Aufbringen eines Sondenkisses auf einen (nicht gezeigten) WL-Stitchkontakt der durchleitenden WL 120 extrahiert werden kann. Ein WL-Stitchkontakt ist ein von aussen zugänglicher Kontakt zur Herstellung eines Sondenanschlusses.

Der Pfropfen 124 wird gegen die Oberfläche isoliert durch Aufbringen einer dünnen Schicht 128 aus hochisolierendem TEOS oder gleichwertig durch Verwendung beispielsweise eines E-Bündels eines abtastenden Elektronenmikroskops oder einer XL 830, wie oben beschrieben.

Gemäß Fig. 4 können Sondenkissen 130 durch Metallaufbringungen auf entsichtete Kontakte gebildet werden. Beispielsweise können Sondenkissen 130 gebildet werden, um Tiefgrabenkondensator-Einzelzellen elektrisch anzuschließen und zu untersuchen, indem Sondenkissen 130 auf eingebettete Plattenkontakte 265, WL-Stitchkontakt 252, n-Well- oder p-Well-Kontakte 251, Bitlinekontakt 283 sowie als aktive bzw. passive WLs 112 bzw. 120 aufgebracht werden. Sondenkissen 130 können durch Anwenden eines fokussierten Ionenbündels (FIB)-Aufbringverfahrens ausgebildet werden.

In den Fig. 5 und 6 sind FIB-Querschnitte einer DRAM-Probe in 0,19 µm-Technologie parallel (Fig. 5) und senkrecht (Fig. 6) zu der aktiven und durchleitenden WL dargestellt, wobei der Speicherknoten (bezeichnet mit DT) mit Anwendung des oben beschriebenen Verfahrens angeschlossen worden ist. Fig. 5 zeigt die wirksame Kurzschließung des Pfropfens zur durchleitenden WL. Fig. 6 zeigt die Wichtigkeit eines nadelartigen Pfropfenkontakts mit annehmbaren Toleranzen für die richtige Ausrichtung. Der Pfropfen wird während der Aufbringung gebohrt, obwohl der Pfropfen auch nach dem Bohren eines Loches aufgebracht werden könnte.

Gemäß dem dargestellten Beispiel der Erfindung können elektrische Eigenschaften an einer einzelnen Speicherzelle in einer Matrix von Speicherzellen gemessen werden. Elektrische Eigenschaften, welche nun gemessen werden können, umfassen, sind jedoch nicht beschränkt auf Ströme durch Bitlines, Wordlines, p-Wells, Tiefgräben, Gatteroxid-Ausleckungen, direkte Messung von Schwellenspannungen und dergl.

Die Erfindung findet Anwendung in einem weiten Bereich von Prüfungen an dem einzelnen Zellenniveau. Beispielsweise können verschiedene WL- und BL-Spannungen auf eine einzige aktive Zelle in beispielsweise 0,2 µm-Technologie angewendet werden, um eine Anzahl von elektrischen Eigenschaften in Realzeit zu messen. Die Erfindung ist anwendbar auf kleinere oder größere Technologien und auch einschließlich unter 0,2 µm-Technologien. Das Verfah-

ren ist bereits erfolgreich verwendet worden, um den Leckweg von Einzelzellen zu lokalisieren, die wegen Knoten-Dielektrikumauslecken ausfielen.

Es ist zu bemerken, dass die Erfindung zwar an Hand einer Tiefgraben-Kondensatorzelle beschrieben worden ist, jedoch viel breiter und auf eine ganze Anzahl von verschiedenen Halbleiterstrukturen angewendet werden kann, einschließlich Speicherzellen, logischen Gattern, Transistoren, Kondensatoren oder anderen Halbleiterkomponenten für Prozessoren, Speicheranordnungen und/oder anwendungsspezifische Anordnungen.

Nach der Beschreibung der bevorzugten Ausführungsformen für ein Verfahren zum Kontaktieren eines Tiefgraben-Kondensators einer Speicherzelle zur Messung elektrischer Eigenschaften eines Transfergatters (die nur der Beschreibung und nicht einer Einschränkung dienen), wird bemerkt, dass Modifikationen und Abänderungen vom Fachmann im Licht der obigen Lehre vorgenommen werden können. Es ist daher zu verstehen, dass Änderungen bei den besonderen Ausführungsformen der beschriebenen Erfindung vorgenommen werden können, die im Umfang und Grundgedanken der Erfindung liegen, wie sie in den folgenden Ansprüchen niedergelegt ist. Nach der obigen Beschreibung der Erfindung mit den durch das Patentgesetz erforderlichen Einzelheiten und Besonderheiten, wird in den angefügten Ansprüchen niedergelegt, was beansprucht und wofür durch ein Patent Schutz gebührt wird.

Patentansprüche

1. Verfahren zum Prüfen einer Halbleiterkomponente für einen aktiven Einzelanordnungs-Test, welches die Schritte umfaßt:
Bereitstellen einer zu testenden Halbleiteranordnung;
Zugreifen zu wenigstens einer Komponente der Halbleiteranordnung durch gleichzeitiges Bohren eines Loches und Aufbringen oder Einbringen eines Pfropfens in das Loch, um die wenigstens eine Komponente anzuschließen; und
Herstellen eines Schaltkreises durch den Pfropfen, um elektrische Messungen der Halbleiteranordnung durchzuführen.
2. Verfahren nach Anspruch 1, bei welchem der Schritt des Zugreifens folgende Schritte umfaßt:
Ausbilden des Loches durch eine dielektrische Schicht, welche die wenigstens eine Komponente abdeckt, durch Anwenden eines ersten Ausschnitts eines Ionenbündels; und
Aufbringen von Platin in das Loch, um gleichzeitig das Loch in die wenigstens eine Komponente zu erstrecken und das Loch mit Platin zu füllen, indem ein zweiter Ausschnitt des Ionenbündels verwendet wird.
3. Verfahren nach Anspruch 1, bei welchem das Loch einen Durchmesser von weniger als oder gleich etwa 0,4 µm besitzt.
4. Verfahren nach Anspruch 1, bei welchem der Schritt der Herstellung eines Stromkreises durch den Pfropfen, um elektrische Messungen der Halbleiteranordnung durchzuführen, den folgenden Schritt umfaßt:
Verwenden des Ppropfens zum Anschließen der wenigstens einen Komponente an eine leitende Leitung, die in einem Aufbau der Halbleiteranordnung existiert.
5. Verfahren nach Anspruch 4, das ferner den Schritt der Messung elektrischer Eigenschaften durch den Pfropfen durch Prüfen der leitenden Leitung umfaßt.
6. Verfahren nach Anspruch 1, bei welchem der Schritt des Bereitstellens einer zu prüfenden Halbleiteranordnung den Schritt umfaßt, eine zu prüfende Tiefgraben-

Kondensatorspeicherzelle vorzusehen.

7. Verfahren nach Anspruch 6, bei welchem der Schritt des Zugreifens auf wenigstens eine Komponente den Schritt umfaßt, auf einen Speicherknoten des Tiefgrabenkondensators zuzugreifen.

8. Verfahren zur Prüfung einer Halbleiterkomponente während der destruktiven Prüfung einer aktiven Einzelanordnung, welches die Schritte umfaßt:

Bereitstellen einer zu prüfenden Halbleiteranordnung;
Zugreifen zu wenigstens einer Komponente der Halbleiteranordnung durch Bohren eines Loches in eine dielektrische Schicht über der Komponente, während gleichzeitig ein Pfropfen in das Loch eingebracht wird, um die wenigstens eine Komponente mit dem Pfropfen elektrisch zu verbinden;

Herstellen eines Schaltkreises durch den Pfropfen, um elektrische Messungen der Halbleiteranordnung durchzuführen; und

Aufbringen von Sondenkössen auf anderen Komponenten, um die elektrischen Wege zur Messung elektrischer Eigenschaften der Halbleiteranordnung zu vervollständigen.

9. Verfahren nach Anspruch 8, bei welchem der Schritt des Zugreifens die folgenden Schritte umfaßt:

Ausbilden des Loches durch die dielektrische Schicht, welche die wenigstens eine Komponente abdeckt, indem ein erster Ausschnitt eines Ionenbündels angewendet wird; und

Einbringen von Platin in das Loch, um gleichzeitig das Loch in die wenigstens eine Komponente zu erstrecken und das Loch mit Platin zu füllen, indem ein zweiter Ausschnitt des Ionenbündels verwendet wird.

10. Verfahren nach Anspruch 8, bei welchem der Schritt der Herstellung eines Schaltkreises durch den Pfropfen zur Durchführung elektrischer Messungen der Halbleiteranordnung den folgenden Schritt umfaßt:
Verwenden des Pfropfens zum Anschließen der wenigstens einen Komponente an eine leitende Leitung, die in einem Aufbau der Halbleiteranordnung existiert.

11. Verfahren nach Anspruch 10, das ferner den Schritt der Messung elektrischer Eigenschaften durch den Pfropfen hindurch durch Prüfung der leitenden Leitung umfaßt.

12. Verfahren nach Anspruch 8, bei welchem der Schritt des Bereitstellens einer zu prüfenden Halbleiteranordnung den Schritt einer zu prüfenden Tiefgraben-Kondensatorspeicherzelle umfaßt.

13. Verfahren nach Anspruch 12, bei welchem der Schritt des Zugreifens auf wenigstens eine Komponente den Schritt des Zugreifens auf einen Speicherknoten des Tiefgraben-Kondensators einschließt.

14. Verfahren nach Anspruch 8, bei welchem der Schritt des Herstellens eines Schaltkreises durch den Pfropfen hindurch zur Durchführung elektrischer Messungen der Halbleiteranordnung den Schritt umfaßt:

Ausbilden von Prüfkontakten durch Anwenden eines Ionenbündels zur Bildung von Kontakten auf der Halbleiteranordnung.

15. Verfahren nach Anspruch 14, bei welchem der Schaltkreis zur Durchführung elektrischer Messungen die Prüfkontakte und den Pfropfen umfaßt.

16. Verfahren zum Prüfen einer einzigen aktiven Speicherzelle während des destruktiven Prüfens, welches die folgenden Schritte umfaßt:

Bereitstellen einer Halbleiteranordnung mit einer zu prüfenden Speicherzelle;

Zugreifen zu einem Speicherknoten der Speicherzelle durch Anwenden eines Ionenbündels, um gleichzeitig

ein Loch zu bohren und einen Pfropfen in das Loch durch eine dielektrische Schicht einzubringen, wobei der Pfropfen in Ausrichtung mit dem Speicherknoten gebildet wird, um den Speicherknoten anzuschließen; und

Herstellen eines Schaltkreises durch den Pfropfen, um elektrische Messungen der Halbleiteranordnung durch Verwenden des Pfropfens zum Kurzschließen einer Wortleitung mit dem Speicherknoten durchzuführen.

17. Verfahren nach Anspruch 16, bei welchem der Schritt des Zugreifens die folgenden Schritte umfaßt:

Ausbilden des Loches durch die dielektrische Schicht, welche den Speicherknoten abdeckt, durch Anwenden eines ersten Ausschnitts des Ionenbündels; und

Einbringen von Platin in das Loch, um gleichzeitig das Loch in den Speicherknoten zu erstrecken und das Loch mit Platin zu füllen, indem ein zweiter Ausschnitt des Ionenbündels verwendet wird.

18. Verfahren nach Anspruch 16, das ferner den Schritt der Messung elektrischer Eigenschaften durch den Pfropfen hindurch durch Prüfen eines mit der Wortleitung verbundenen Kontakts umfaßt.

19. Verfahren nach Anspruch 16, das ferner den Schritt der schichtweisen Entfernung der Halbleiteranordnung umfaßt, um die dielektrische Schicht freizulegen.

20. Verfahren nach Anspruch 16, bei welchem der Schritt der Herstellung eines Schaltkreises durch den Pfropfen den folgenden Schritt umfaßt:

Ausbilden von Prüfkontakten, welche die Verbindung mit Komponenten der Halbleiteranordnung herstellen.

21. Verfahren nach Anspruch 20, bei welchem der Schaltkreis zur Durchführung elektrischer Messungen die Prüfkontakte und den Pfropfen enthält.

Hierzu 5 Seite(n) Zeichnungen

40

45

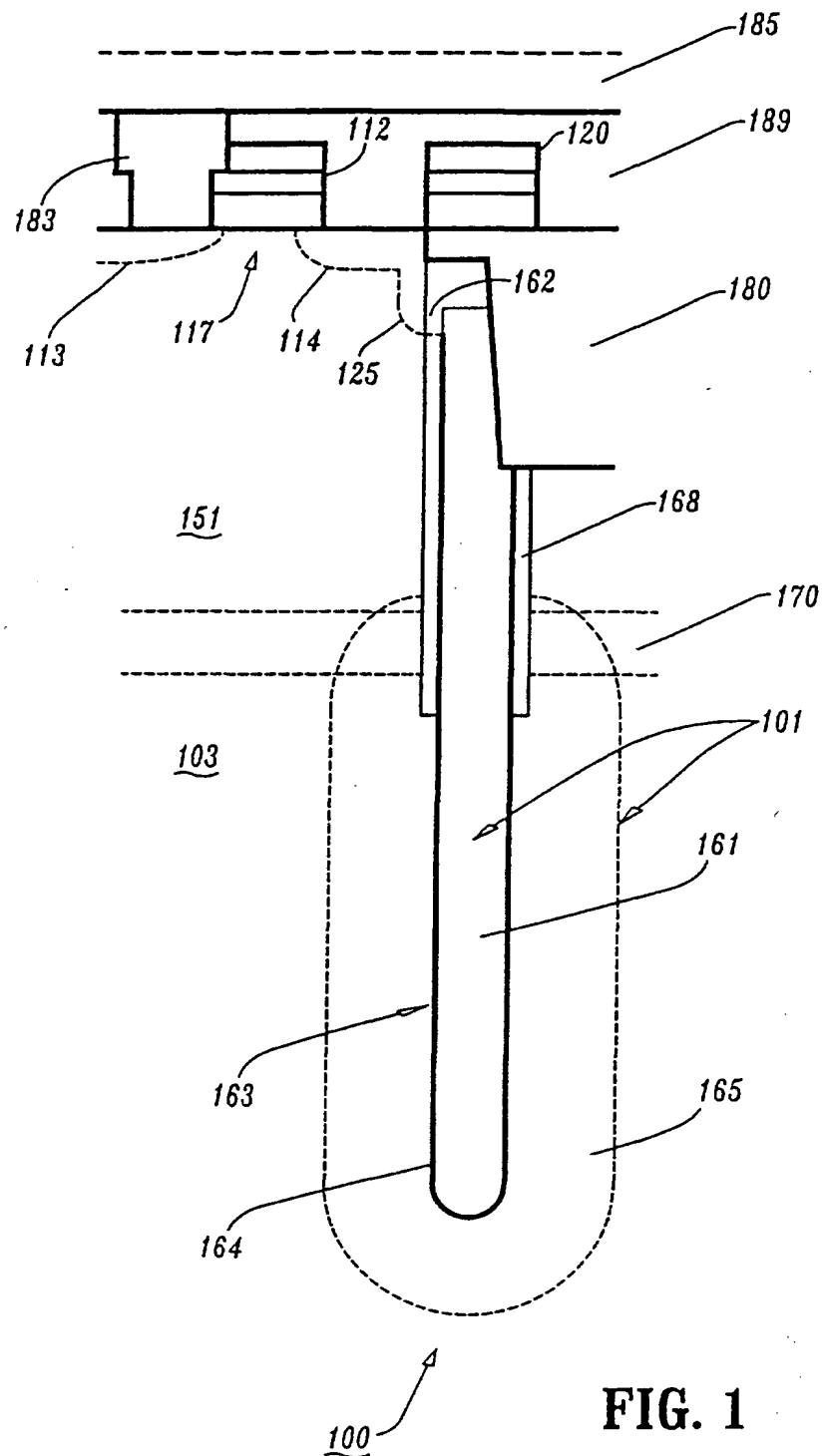
50

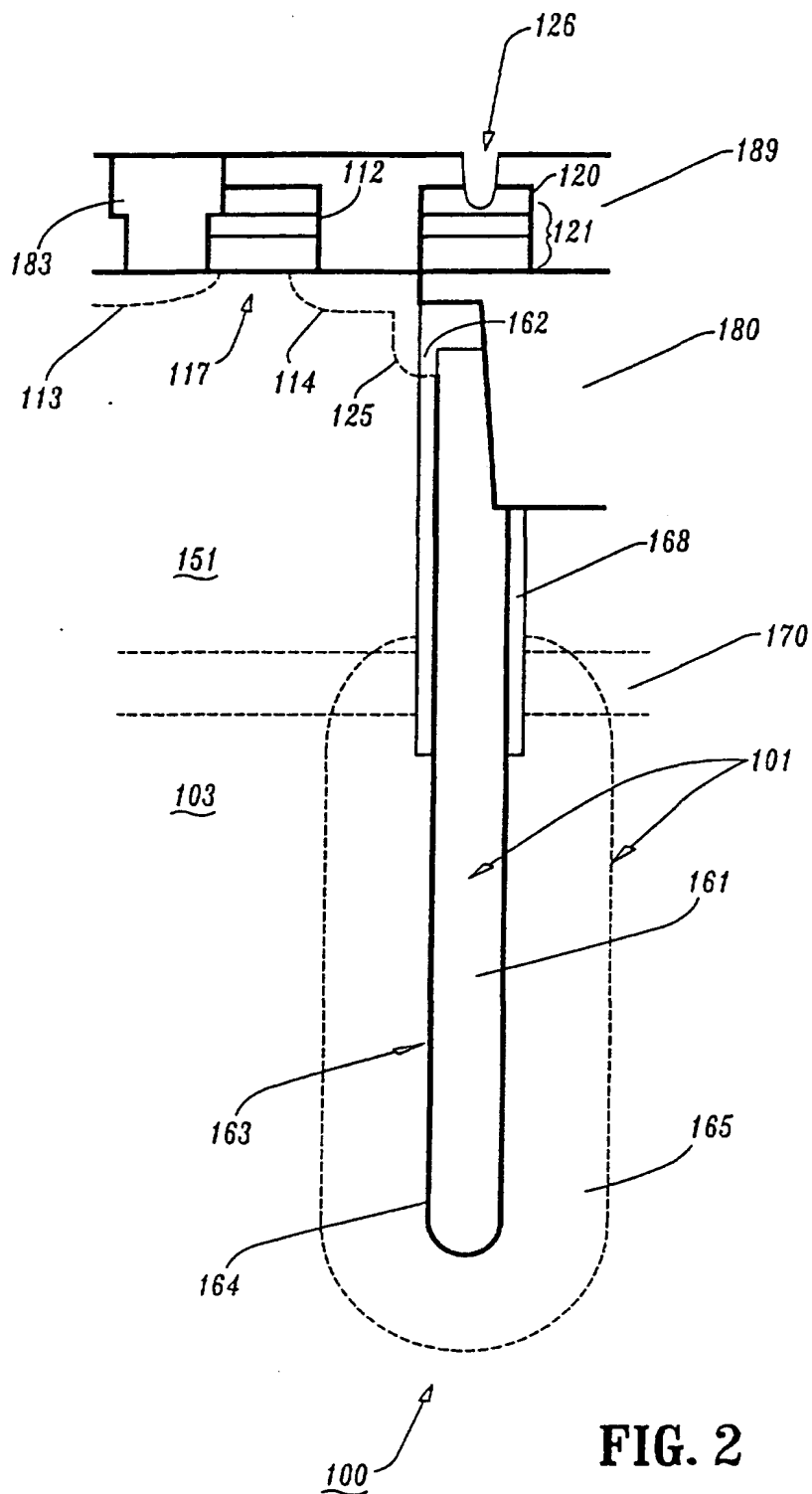
55

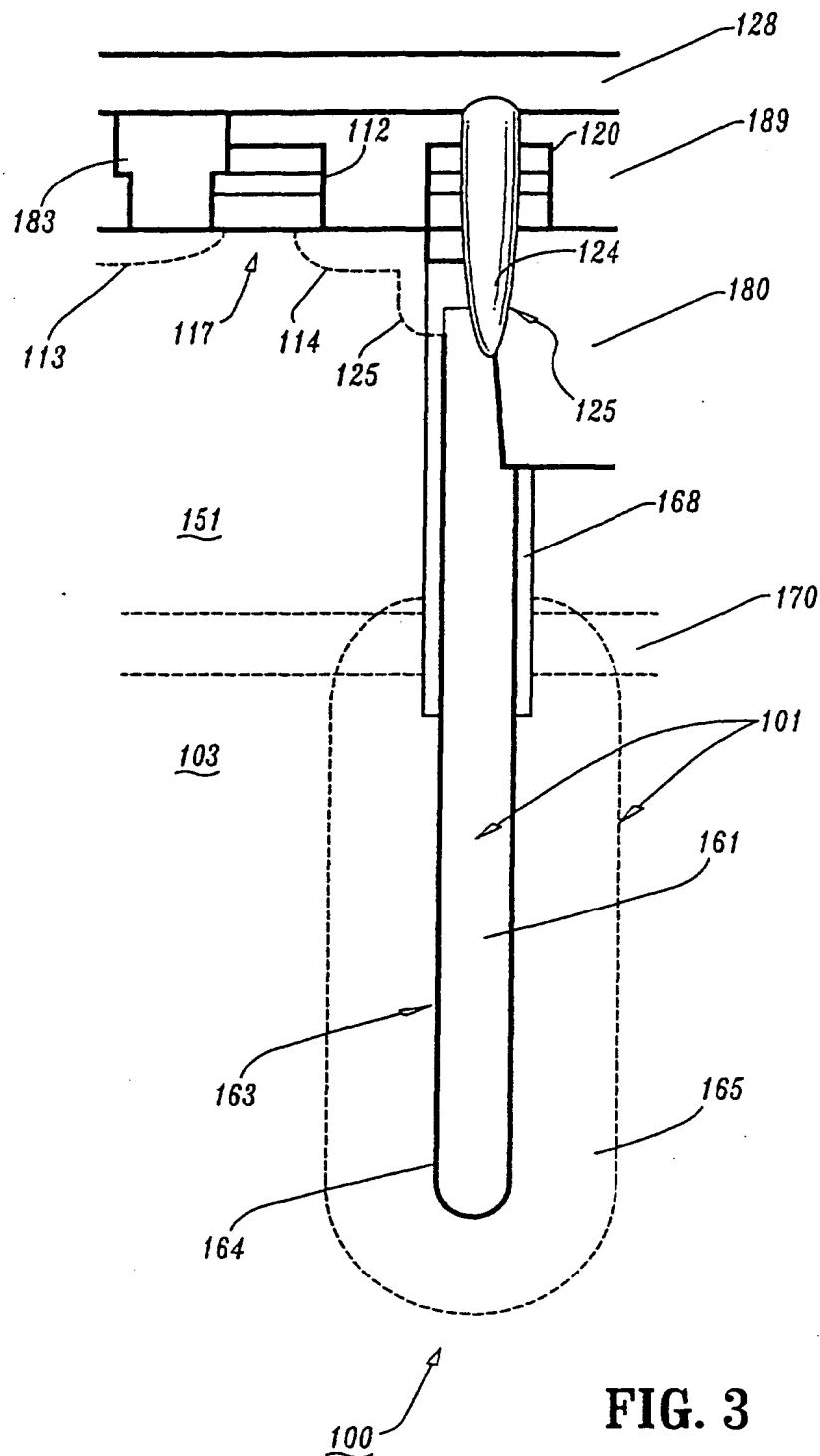
60

65

- Leerseite -







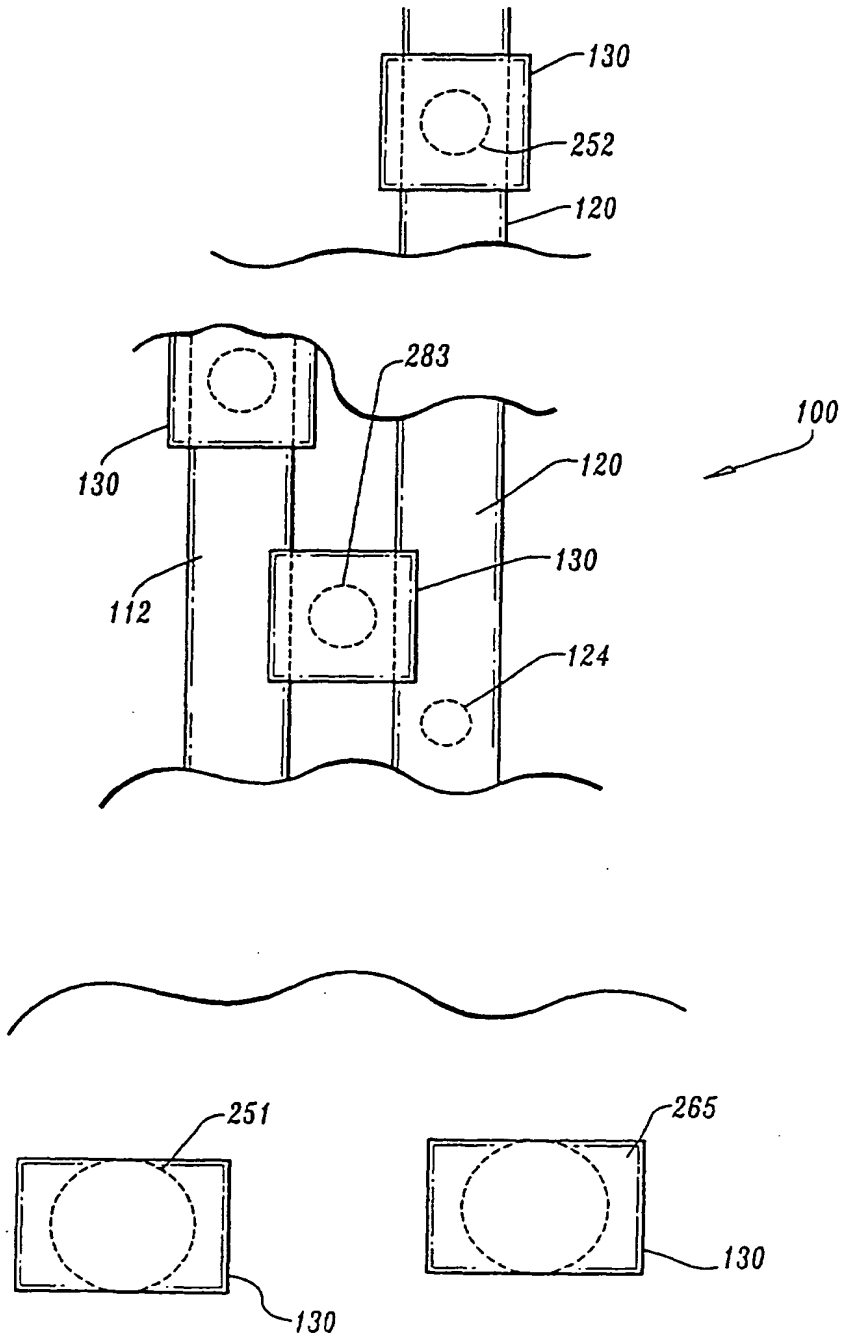


FIG. 4

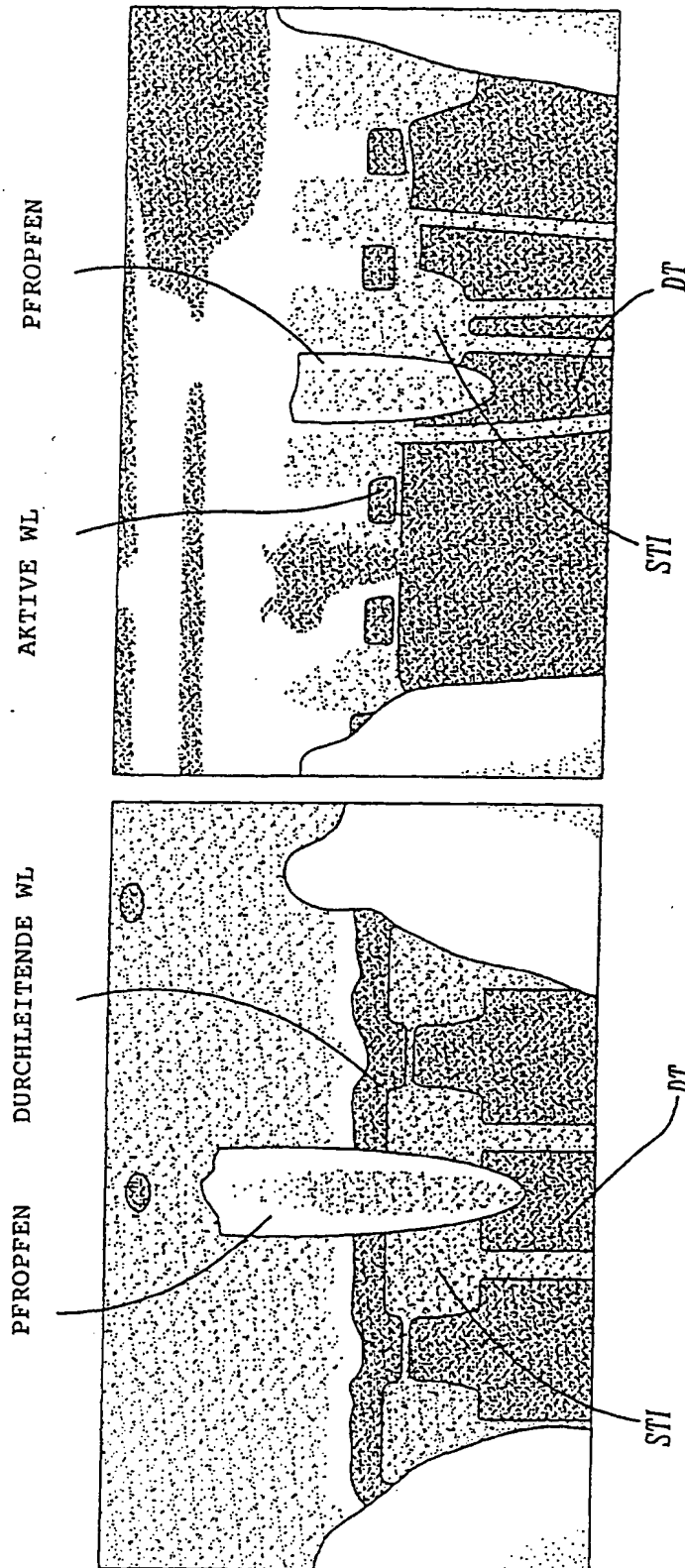


FIG. 6

FIG. 5

Method for probing semiconductor devices for active measuring of electrical characteristics

Patent Number: US6288558
Publication date: 2001-09-11
Inventor(s): ZIMMERMANN GUNNAR (DE); JOHNSTON MARK (US)
Applicant(s): INFINEON TECHNOLOGIES AG (US); WHITE OAK SEMICONDUCTOR PARTNE (US)
Requested Patent: DE10107081
Application Number: US20000504409 20000215
Priority Number(s): US20000504409 20000215
IPC Classification: G01R31/02
EC Classification: G01R31/27B
Equivalents:

Abstract

A method for probing a semiconductor component for an active single device test, in accordance with the present invention, includes providing a semiconductor device to be tested and accessing at least one component of the semiconductor device by simultaneously milling a hole and depositing a plug in the hole to connect to the at least one component. A circuit is provided through the plug to make electrical measurements of the semiconductor device

Data supplied from the esp@cenet database - I2

TECHNICAL STAFF
HOTTWORTH & COMPANY
1100-555 (400) JET

DOCKET NO: W8B-INF-1944

SERIAL NO: _____

APPLICANT: A. Felber et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100